

robotron

**Speichersteckeinheiten K 3525,
K 3521.30, OSS Typ 062-8471**

Betriebsdokumentation



3. Auflage
Karl-Marx-Stadt, 1988

Inhaltsverzeichnis

Seite

13.	Ergänzung zur Betriebsdokumentation	1
13.1.	Operativspeicher OPS K 3525	1
13.2.	Änderung (eingeführt bei K 3525 mit Index 4)	1
14.	Operativspeicher OPS K 3521.30	1
14.1.	Kurzcharakteristik	1
14.2.	Technische Daten	1
14.3.	Einsatzbedingungen für den Stütz-Akkumulator	2
14.4.	Einsatz auf der STE Typ 045-8120	3
14.5.	Programmierung der STE Typ 045-8120	4
14.6.	Funktionsbeschreibung	5
14.6.1.	Verwendungszweck	5
14.6.2.	Funktion	5
14.7.	Blockschaltbild	8
15.	Speichererweiterung OSS Typ 062-8471	9
15.1.	Kurzcharakteristik	9
15.2.	Technische Daten	9
15.3.	Einsatzbedingungen für die STE OSS	9
15.3.1.	Einsatzvorbereitungen bzw. Nachrüstung mit STE OSS	9
15.4.	Blockschaltbild	11
15.5.	Funktionsbeschreibung	11
15.5.1.	Zentrale Steuerung	11
15.5.2.	Seitensteuerung	13
15.5.2.1.	Seitensteuerspeicher laden	14
15.5.2.2.	Seitensteuerung für die 1. CPU	14
15.5.2.3.	Seitensteuerung für die 2. CPU	15
15.5.2.4.	Interruptzähler	15
15.5.3.	Speicherschutz - E/A-Schutz	16
15.5.3.1.	Allgemeines	16
15.5.3.2.	Beschreiben des Speicherschutz RAM	16
15.5.3.3.	Speicherschutz	16
15.5.3.4.	E/A-Schutz	17
15.5.4.	Speicheransteuerung und RFSH-Ansteuerung	17
15.5.5.	RDY-Bildung und Datentreiberumschaltung	18

13. Ergänzung zur Betriebsdokumentation

13.1. Operativspeicher OPS K 3525

16 KByte dynamisch RAM - Typ 012-7021 (1.12.517021.0 - 083-4-710-018)

Bestellindex 4 oder Kennzeichnung auf der STE L 5 (Leiterbildseite)

B 6 (Bestückungsseite)

Aufgrund des Zeitverhaltens der CPU kommt es zu Signalüberschreitungen, die zu unerlaubten Speicherausgriffen auf der STE 16 KByte-dyn.-RAM und zu Speicherabstürzen führen.

Mit der Änderung sind die o. g. Systemfehler beseitigt. Im folgenden werden nur die Änderungen beschrieben. Ansonsten gilt die Funktionsbeschreibung der K 3525 (siehe Betriebsdokumentation, Punkt 5.).

13.2. Änderung (eingeführt bei K 3525 mit Index 4)

Die Adreßleitungen AB12 ... AB15, die die Blockauswahl der Speicherchips durch Bildung der Signale CE1 ... CE4 bewirken, werden zwischengespeichert. Die zeitliche Steuerung übernimmt das Signal \overline{MREQ} (A2:1/11). Das bedingt aber gleichzeitig das Ändern der Leiterführung für die Signale \overline{WR} , \overline{RD} und \overline{MREQ} über den Treiber A2:02 bzw. A2:03, um die Funktionsfähigkeit der STE zu gewährleisten. Die Adreßleitungen AB8, AB10 und AB11 sind ebenfalls über den Treiber A2:01 geführt, haben aber keine Wirkung auf die konstruktive Änderung Index 3 zu Index 4 bei der STE K 3525.

14. Operativspeicher OPS K 3521.30

4 KByte CMOS RAM - Typ 045-8120 (1.45.518120.6)

14.1. Kurzcharakteristik

Im Schreib-Lese-Speicher (Operativspeicher) OPS K 3521.30 werden während des Programmablaufes im Mikrorechner K 1520 variable Daten gespeichert. Im Gegensatz zum OPS K 3520 bleiben die Daten auch nach einer zwischenzeitlichen Programmunterbrechung durch Netzabschaltung am Rechner für eine vorgegebene Haltezeit für die weitere Programmabarbeitung erhalten.

Der OPS K 3521.30 besteht aus der STE - Typ 045-8120 mit indirektem Steckverbinder. Er ist ein 4 KByte statischer Halbleiterspeicher, bestückt mit CMOS-Bausteinen und den zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

Zusätzlich befindet sich auf der STE die zur Stützung der Speicherbetriebsspannung gehörende Logik einschließlich der Stützspannungsquelle.

Die STE Typ 045-8120 ist analog der STE Typ 012-7012 (siehe Betriebsdokumentation STE K 3521). Eine konstruktive Änderung ergibt sich durch die Verwendung der Schaltkreise KM 537 RU1.

14.2. Technische Daten

Speicherkapazität:	4 KByte (Anordnung von 4 x 8 Speicherchips)
Speicherschaltkreistyp:	KM 537 RU1 (DIL UdSSR, TU 11-81)
	1 K x 1 Bit, CMOS
Zugriffszeit:	≤ 530 ns
	Durch die STE werden bei Adressierung 2 WAIT-Zyklen generiert.
Betriebsarten:	"Lesen" oder "Schreiben" als abgeschlossene Zyklen in beliebiger Reihenfolge.

Datenerhalt:	Durch STE-interne Stützung der Betriebsspannung für die Speicherschaltkreise durch gepufferte NK-Akkumulatoren. Der Datenerhalt wird bei Abschaltung der externen Betriebsspannung gewährleistet. Datenhaltezeit \geq 200 Stunden
Spannungsquelle:	Reihenschaltung von 3 NK-Knopfzellen mit je 1,2 V und 225 mAh, Typ KBL 0,225 vom VEB GLZ nach TGL 22807
Stromversorgung:	5 P = $5\text{ V} \pm 5\%$, typ. 0,7 A für Steuerelektronik 12 P = $12\text{ V} \pm 5\%$, typ. 0,1 A für Komparatoren und Akkuladestrom 5 N = $-5\text{ V} \pm 5\%$, typ. 0,02 A für Komparatoren
Stützspannungsüberwachung:	Während des Zuschaltens der Systemspannungen bewertet eine Kontrollschaltung den Spannungszustand der Batterie und speichert das Auswertergebnis ab.

14.3. Einsatzbedingungen für den Stütz-Akkumulator

Die NK-Knopfzellen werden in Einzelgehäusen gehalten, die an der Griffseite der STE angeordnet sind. Das Wechseln der Knopfzellen ist im gesteckten Zustand der STE möglich und kann auch im Betriebszustand des Rechners erfolgen.

Während der Lagerung und des Transportes sind die Knopfzellen auf der STE nicht zu bestücken. Es wird davon ausgegangen, daß bei einer Neubestückung grundsätzlich geladene Zellen zum Einsatz kommen.

Im Betriebszustand werden die Zellen mit einem mittleren Ladestrom von 5 mA geladen. Der maximale vorkommende Entladestrom bei abgeschaltetem Rechner beträgt 500 μ A. Der reale Wert hängt von den konkreten Typen und der Qualität der CMOS-Schaltkreise ab und kann zwischen wenigen μ A bis zu 500 μ A bei 5 V Betriebsspannung streuen. Aus dieser Vorgabe ergibt sich als Richtwert, daß der Ladezustand der Zellen erhalten wird, wenn die Ladezeit allgemein 1/7 der Entladezeit beträgt (siehe auch Wartungsvorschrift).

Die Lebensdauer der Akkus wird durch die nutzbare mAh-Kapazität der Zellen bestimmt. Angaben dazu sind in der Einsatzvorschrift des Akku-Herstellers und in der TGL 22807 festgelegt. Da die Einsatztemperatur im K 1520 bis zu 60 °C betragen kann, entstehen hohe Belastungen für die NK-Elemente. Temperaturen über 35 °C bewirken zunehmende chemische Umsetzungen der aktiven Masse, die die Kapazität und damit die Lebensdauer erheblich reduzieren. Es gelten daher laut Qualitätsvereinbarungen folgende zusätzliche Einsatzbedingungen:

Erfolgt der Betrieb der Zellen im Temperaturbereich bis 45 °C bei zusätzlich insgesamt einer Woche Spitztemperatur bis 60 °C, so ergibt sich eine garantierte Lebensdauer von einem Jahr, wobei die Lebensdauerergrenze bei einer nutzbaren Kapazität von 100 mAh definiert ist.

Besteht die Grenztemperatur von 60 °C über einen langen Zeitraum, so verringert sich die Lebensdauer auf 3 Monate.

Aus diesen Garantiewerten ist abzuleiten, daß die Zellen bei Erreichen der angegebenen 100 mAh-Grenze auszuwechseln sind, wenn eine Datenhaltezeit von 200 Stunden sicher gewährleistet werden muß.

Reduziert man die Anforderungen an die langen Datenhaltezeiten, so lassen sich die Zellen noch nutzen, wenn die Kapazität von 100 mAh unterschritten ist. Die reale thermische Belastung über die Zeit ist aber in der Praxis schwer erfassbar, so daß der Kapazitätzustand der Zellen nicht exakt vorhersagbar ist.

Ein ökonomischer Einsatz der Zellen wird ermöglicht, wenn im Betrieb unter konkreten Einsatzbedingungen im Endprodukt praktische Werte für den Akkutausch abgeleitet werden.

Als Kriterium für die nutzbare Grenzkapazität und den dabei erreichbaren Ladezustand kann die Anzeige der Batterieüberwachungsschaltung genutzt werden. Wird im Zustand des Datenerhalts die Batteriespannung auf der STE wiederholt gemessen und sinkt bei Einhaltung normaler Lade- und Entladesyklen unter 3,6 V, dann sind die Zellen auszutauschen.

Neben den zusätzlichen, bereits erwähnten Qualitätsvereinbarungen bei Temperaturen über 35 °C gelten die Festlegungen der TGL 22807 und die Behandlungsvorschrift des Akku-Herstellers über Lagerung und Einsatz der Zellen.

Ist im Rechner eine Totalentladung von Zellen aufgetreten, sind diese außerhalb des Rechners mittels Ladegerät nach Vorschrift des Herstellers zu laden. Der Ladezustand bei der Lagerung von Zellen ist durch regelmäßige Erhaltungsladungen zu sichern (siehe Wartungsvorschrift).

Eine Lagerung von entladenen Zellen ist bis zu einer Lagerzeit von einem Jahr ohne Einschränkung der elektrischen Parameter möglich, wenn die Umgebungstemperatur $20\text{ °C} \pm 5\text{ °C}$ und die relative Luftfeuchte $60\% \pm 15\%$ eingehalten werden. Danach müssen sie unbedingt mittels Ladegerät zwei- bis dreimal mit Nennstrom geladen werden, bis sie im Rechner eingesetzt werden können.

Knopfzellen anderer Hersteller mit vergleichbaren elektrischen und konstruktiven Daten können eingesetzt werden, wenn die Behandlungsvorschrift dieser Erzeugnisse entsprechende Beachtung finden. Es können sich dabei Einschränkungen in den technischen Daten der Speicher-STE bezüglich Einsatzbedingungen und Datenhaltezeit ergeben.

Ladegerät EDV-Nr.: 78091 0000080579

14.4. Einsatz auf der STE Typ 045-8120 (K 3521.30)

Die Zellen werden im Betriebszustand des Rechners durch einen Reihenregler bis zum Erreichen eines Spannungswertes ca. 4,2 V über den Akkus mit maximal 22 mA geladen. Ein weiteres Ansteigen der Zellenspannung wird durch Abschalten des Ladestromes verhindert.

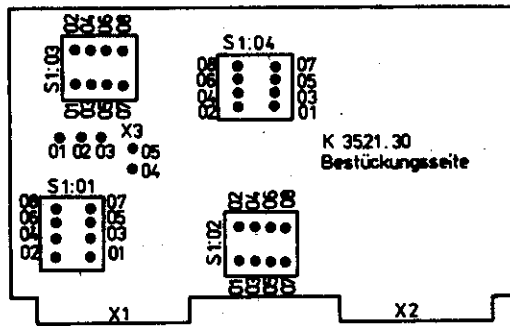
Abhängig vom Kapazitätszustand der Akkus wird bei Unterschreitung einer Zellengesamtspannung von $2,45\text{ V} \pm 0,05\text{ V}$ das Signal $\overline{\text{SUE}} = \text{low}$ gebildet.

Anwender können die Zellen, die unter die minimale Stützspannung entladen sind, durch Schließen des Schalters S1:03-03/04 während der Betriebszeit des Rechners laden (SUE-Signal gelüsch).

Wird der Schalter geöffnet, wird ein Zyklus zur Auswertung der Stützspannung gestartet.

Ein externer Akkumulator ist über die Kontakte X1:A03, B03 (5 PG) anschließbar, wobei die Wickelstifte X3:01-03 ermöglichen, die auf der STE interne Stützspannungsentkopplung zu nutzen (X3:02-03) bzw. bei eigenen Entkopplungsmaßnahmen elektrische Kontakte direkt zur Speicherbetriebsspannung herzustellen (X3:01-02); gegebenenfalls ist der Kontakt S1:03-01/02 zu schließen, um die vorhandene platteneigene Ladeschaltung, welche auch dem Externakku einen Ladestrom von $\approx 22\text{ mA}$ aufprägt, abzuschalten. Diese Schaltmaßnahme hat Priorität gegenüber o. g. Ladezwang und beeinflusst die Bildung des Signals $\overline{\text{SUE}}$ nicht.

14.5. Programmierung der STE Typ 045-8120



Über die 4 Codierbrücken S1:01 wird der STE ein wählbares, zusammenhängendes Adreßbereich von 4 KByte-Adressen zugeordnet. Die Adresse ist ein ganzzahliges Vielfaches von 4 K. Die 4 Schalter sind wie folgt einzustellen:

Anfangsadresse	07/08	05/06	03/04	01/02
0000	-	-	-	-
1000	x	-	-	-
2000	-	x	-	-
3000	x	x	-	-
4000	-	-	x	-
⋮	⋮	⋮	⋮	⋮
F000	x	x	x	x

x = Schalter geschlossen (Punkt im Schalter sichtbar)
 - = Schalter geöffnet

Der Schalter S1:03 PIN 03/04 bewirkt im geschlossenen Zustand ein Zwangsladen von unter Minimalpegel entladenen Akkumulatoren, während S1:03 PIN 01/02 ein Abschalten des platteninternen Lademechanismus, z. B. beim Anschalten einer externen Spannungsquelle, bewirkt. Die Wickelverbindung X3:01-03 gibt die Möglichkeit, eine externe Stützspannung zuzuführen, wobei alle schon vorhandenen internen schaltungstechnischen Entkoppelmaßnahmen mitgenutzt werden können.

Die Wickelverbindung X3:04-05 kann vom Anwender eingefügt werden, falls die Einschaltverzögerung des CE-Signals gegenüber $\overline{\text{RESET}}$ die sofortige Programmabarbeitung von der bestückten STE stört, da die CE-Bildung während der Phase $\overline{\text{RESET}}$ = aktiv verhindert wird (Programmstart von dieser Steckeinheit).

Alle nicht genannten Schalterkontakte (siehe MEMDI-Bildung) dienen der Qualitätsprüfung der bestückten Leiterplatte und bleiben beim Anwender geöffnet.

Auswahl des Speichersperrsignals MEMDI

- MEMDI - Schalter S1:02 PIN 01/02 geschlossen
- MEMDI1 - Schalter S1:02 PIN 05/06 geschlossen
- MEMDI2 - Schalter S1:02 PIN 03/04 geschlossen

14.6. Funktionsbeschreibung

14.6.1. Verwendungszweck

Der OPS K 3521.30 wird als Operativspeicher im Erzeugnisprogramm "Dezentrale Datentechnik" eingesetzt (statischer Schreib-Lese-Speicher), dessen Informationen bei Systemspannungsabschaltung gesichert werden.

Die STE setzt sich aus den gleichen Hauptfunktionsgruppen wie die STB K 3521.20 zusammen (Betriebsdokumentation), die sich jedoch in der Funktionsweise inhaltlich unterscheiden.

14.6.2. Funktion

Aufgrund des Einsatzes unterschiedlicher CMOS-RAM-Typen existieren im VEB Robotron-Buchungsmaschinenwerk die STE-Typen 012-7012 (Betriebsdokumentation K 3521.(10), Typ 045-8063 (K 3521.20) (RAM-Matrix aufgebaut auf dem Schaltkreis K 537 RU1A) und die STE Typ 045-8120 (K 3521.30).

Die STE beinhaltet die Funktionsgruppen:

- Speichermatrix
- Ein- und Ausgabepuffer
- Auswahl- und Steuerelektronik
- Akkumulatorlade-, Kontroll- und Auswerteschaltung

Die Schaltung der Variante K 3521.30 wird nachfolgend beschrieben, da sie Unterschiede zum OPS K 3521.10 oder K 3521.20 aufweist.

Das Blockschaltbild (Abb. 1) zeigt die Wirkungsweise der Logiksteuerung; Abb. 2 ergänzt das Blockschaltbild in Bezug auf die Sonderbaugruppen.

Die Speichermatrix besteht aus 4 Gruppen zu je 8 Speicherchips. Jedes Chip enthält 1 KBit. Eine Gruppe von Chips bildet einen Speicherbereich von 1 KByte. Jeder der 4 vorhandenen Blöcke wird durch ein gesondertes \overline{CE} -Signal aktiviert.

Alle 10 Adreßeingänge der Speicherchips sind miteinander verbunden und werden über low-power-Schottky-TTL-Pufferschaltkreise A3:01 und A3:02 gespeist.

Bei den Datenausgangs- und Dateneingangsleitungen sind jeweils die gleichen Bits der 4 Speicherblöcke parallel geschaltet und mit bidirektional arbeitenden Datenpufferschaltkreisen SE16 (A4:01, A4:02) verbunden, die die Verbindung mit dem Systembus herstellen. Ist die STE nicht angesteuert, sind die Datenpuffer hochohmig und belasten den Systembus nicht.

Da zwischen Dateneingang und -ausgang der Speicherchips ein Polaritätswechsel stattfindet, werden die Eingangsdaten negiert (A9:01 und A9:02).

Alle direkt die Speicherchips steuernden Signale sind mit Anschlagwiderständen zur Betriebsspannung 5 P versehen. Das ist erforderlich, um die besonderen Forderungen der Speicherschaltkreise bezüglich des engen Toleranzbereiches der Signalpegel zu erfüllen.

Bedingt durch die Adressenstandzeit gegenüber dem \overline{CE} -Signal des Speichers bei Befehlslesezyklen ($\overline{M1}$ = high) werden die Adresssignale über die STB-Eingänge der Treiber A3:01 und A3:02 gespeichert.

Mit Freigabe der notwendigen Steuerlogik durch "Adresse erkannt" = low (A5/08), wird das FF A7/06 über A6:01/08 freigegeben und der 1 aus 8-Decoder A14 wird aktiv geschaltet, wenn \overline{MREQ} = 0 ist. \overline{CE} wird gebildet über das Nand A6:01/03, A6:01/06, A11:01 verknüpft mit dem über das FF A7/08 geschalteten Signal $\overline{M1}$ erfolgt die Steuerung der Adrestreiber über den Eingang STB (A3:01 und A3:02). Gleichzeitig wird während des $\overline{M1}$ -Zyklus zur Synchronisation der CPU ein WAIT-Takt über A8/06 \rightarrow A12/03 generiert.

Der 1 aus 8-Decoder A14 decodiert die Adresssignale AB10 und AB11 und es wird eines der 4 Speicheransteuersignale \overline{CE} über nachgeschaltete open-collector-Stufen (A11:02) aktiviert.

Voraussetzung für die Decodierung dieser beiden Adreßleitungen sind die Steuersignale:

- $\overline{\text{MREQ}}$ = 0 - Speicheranforderung
- $\overline{\text{MEMDI}}$ = 1 - Speichersperre inaktiv
- $\overline{\text{RFSH}}$ = 1 - kein Refresh-Zyklus

und die Adreßsignale AB12 ... AB15 entsprechen der Anfangsdecodierung der Wickelbrücken. Die Byteanwahl innerhalb der 4 Blöcke erfolgt direkt durch die Adreßbits AB0 ... AB9. Die Erkennung der Anfangsadresse der STE erfolgt durch den Exklusiv-Oder-Baustein T 186 (A2). Die Adreßbits AB12 ... AB16 werden mit den an der Schaltergruppe S1:01 eingestellten (ne-gierten) Anfangsadressen verknüpft.

Ein geöffneter Schalter legt high an den Eingang des entsprechenden Exklusiv-Oder-Bausteins. Bei programmierter Anfangsadresse ist die Adreßleitung low, so daß sich am Nand T 130 (A5) bei $\overline{\text{MEMDI}} = 1$ und $\overline{\text{MREQ}} = 0$ am Ausgang A5/08 das Freigabesignal low bildet. A5/08 = 0 aktiviert den 1 aus 8-Decoder A14, die Ausgangsdatentreiber A4:01 und A4:02 durch den Steuereingang $\overline{\text{CS}}$, wobei das Signal $\overline{\text{RD}}$ die Wirkungsrichtung des Datenaustausches zwischen Bus und Speicher vorgibt.

(A6:02/03, A6:02/06, A6:02/08 - verknüpft mit dem Freigabesignal "Adresse erkannt". Das Signal geht in Selbsthaltung.)

Bei Datenschreibzyklen wird die CE-Bildung zur Absicherung von Zeitforderungen der Speicher-IS verzögert, um einen definierten Ablauf von Daten- und CE-Signalen sicherzustellen (C5:03).

Die beiden Haltekreise der zentralen Steuerlogik verhindern Einschwing- und somit Ablaufstörungen des Speicherzugriffs, die sich z. B. bei Lesezyklen mit konzentriert schaltenden Daten als Übersprechstörungen auf den $\overline{\text{MREQ}}$ - und $\overline{\text{RD}}$ -Leitungen bemerkbar machen. Das STE-interne Schreibsignal WRI ist darum aus den Schaltzuständen der Haltekreise A6:02/06, A6:02/08 und A6:01/08, A6:01/11 abgeleitet.

Bei jeder Speicherinitialisierung wird das Signal $\overline{\text{RDY}}$ aktiv geschaltet (A11:01/02). Die Signale $\overline{\text{RDY}}$ und $\overline{\text{WAIT}}$ sind über open-collector-Stufen an den Systembus geschaltet.

Beim OPS K 3521.30 führt interne bzw. externe Stützung der Versorgungsspannung für die Speicherchips innerhalb der Toleranzgrenzen zu Datenerhalt, d. h. die Speicherbetriebsspannung 5 PGI darf durch Belastung durch die RAM-Chips im Stützbetrieb nicht unter $2,65 \text{ V} \pm 0,05 \text{ V}$ sinken. Dabei können die Systemspannungen 5 N, 5 P und 12 P abgeschaltet sein. Die CE-Bildung wird auf dieser STE nur vorgenommen, wenn die Systemspannung 5 P innerhalb der Toleranzgrenze anliegt, RESET nicht aktiv ist und die logischen Bedingungen für einen Speicherzugriff erfüllt sind.

Für alle anderen Bedingungen im Betriebsfall sind die CE-Eingänge der Speicherchips zur Vermeidung undefinierter Pegel, die zu Datenverlust führen können, niederohmig mit Massepotential verbunden (R3:04 und R5:03 bis R5:05). Ebenso werden alle anderen Eingänge niederohmig bei Systemspannungsausfall auf Massepotential gelegt, um minimale Stromaufnahme während des Stützbetriebes zu erzielen (A17:03 und A17:04).

Kurz- und langzeitige Störungen auf der Betriebsspannung werden durch Sieb- und Stützkondensatoren gesiebt.

Die Prioritätenketten $\overline{\text{BA1}}$, $\overline{\text{BA0}}$
 $\overline{\text{YB1}}$, $\overline{\text{YB0}}$

$\overline{\text{YB1}}$, $\overline{\text{YB0}}$ sind auf der STE gebrückt.

Um einen unterbrechungsfreien Übergang zum Stützbetrieb bei Ausfall oder Abschalten der Systemspannungen und die Rückkehr in den Normalbetrieb ohne Datenverlust zu gewährleisten, sind folgende Sonderbaugruppen vorhanden:

- Akkuladeschaltung
- Spannungskontroll- und Auswerteschaltung
- Speicheransteuerschaltung

Die Betriebsspannung 5 PGI erhalten die Speicherschaltkreise über eine Entkoppelschaltung von der Systemspannung 5 P. Der Transistor V11 arbeitet im Sättigungsbereich.

Im Stützbetrieb, d. h. Ausfall der Systemspannung 5 P werden die Speicherchips über eine Entkoppeldiode V9:01 von den Akkumulatoren G1:01 ... G1:03 versorgt.

Der Ladezustand der Akkumulatoren wird durch einen den Zellen parallelgeschalteten Fensterdiskriminator überwacht (A15:01, A15:02).

Die Schaltkreise werden mit einer Referenzspannung von ca. 2,65 V (A15:02) und 4,2 V (A15:01) versorgt, die durch V8 (Z-Diode) über den Spannungsteiler R16, R11, R12 und R5:01 gebildet wird.

Sinkt die Akkuspannung auf $\approx 2,65$ V (Untergrenze), wird das FF A13/08 und A13/11 gesetzt.

Die LED V3 verlischt und über das NAND A11:02 wird das Signal SUE gebildet, das über die zentrale Baugruppensteuerung der ZRE ausgewertet wird (BS PIO - ZRE K 2526/K 2527).

Ein erneuter Spannungsanstieg an den Akkumulatoren beeinflusst dieses eingespeicherte Meßergebnis nicht. Es kann nur durch RESET aktiv bzw. durch Öffnen des S1:03-03/04 rückgestellt werden.

Beim Erreichen der Ladeschlußspannung (Obergrenze der Akkuspannung) wird der Ladestrom aus der Ladestromquelle V5 durch Sperren der Transistorstufe abgeschaltet. Die LED V4 verlischt. Die Ladeschlußspannung wird durch den Schaltkreis A15:01 ausgewertet. Dieser liegt an einer konst. Referenzspannungsquelle von ca. 4,2 V. Der Ausgang steuert über das NAND A12/11 die Transistorstufe V5. Um definierte Umschaltpegel zu erreichen, ist der Komparator A15:01 rückgekoppelt.

Die Ladung der Akkus kann auch durch Betätigen der Schalter S1:03-03/04 (Zwangsladen) und S1:03-01/02 (Ladesperre) beeinflusst werden. Es wird das Öffnen und Schließen der Transistorstufe V5 geregelt, die an der Systemspannung 12 P angeschlossen ist.

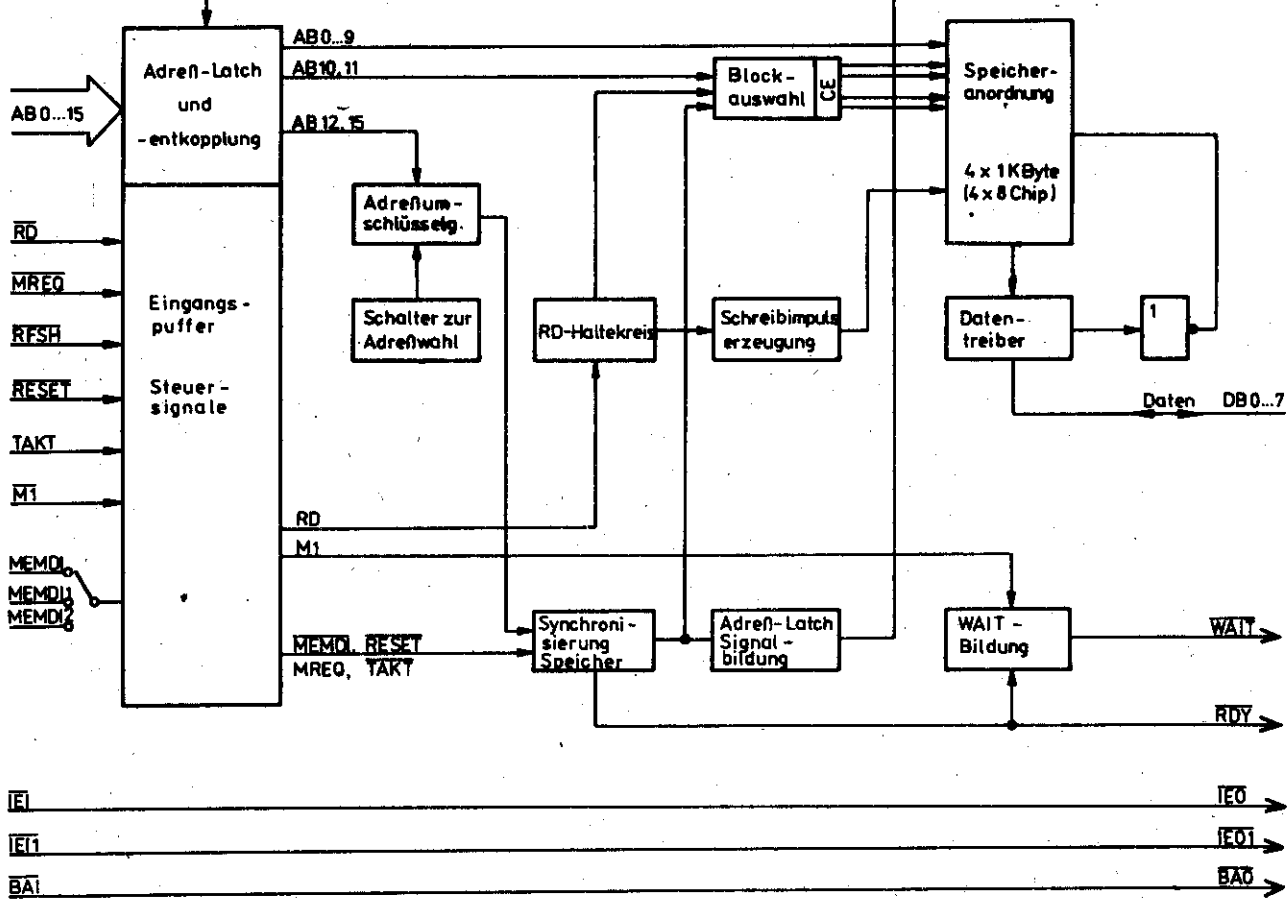


Abb. 1
Blockschaltbild K 3521.30/Logik

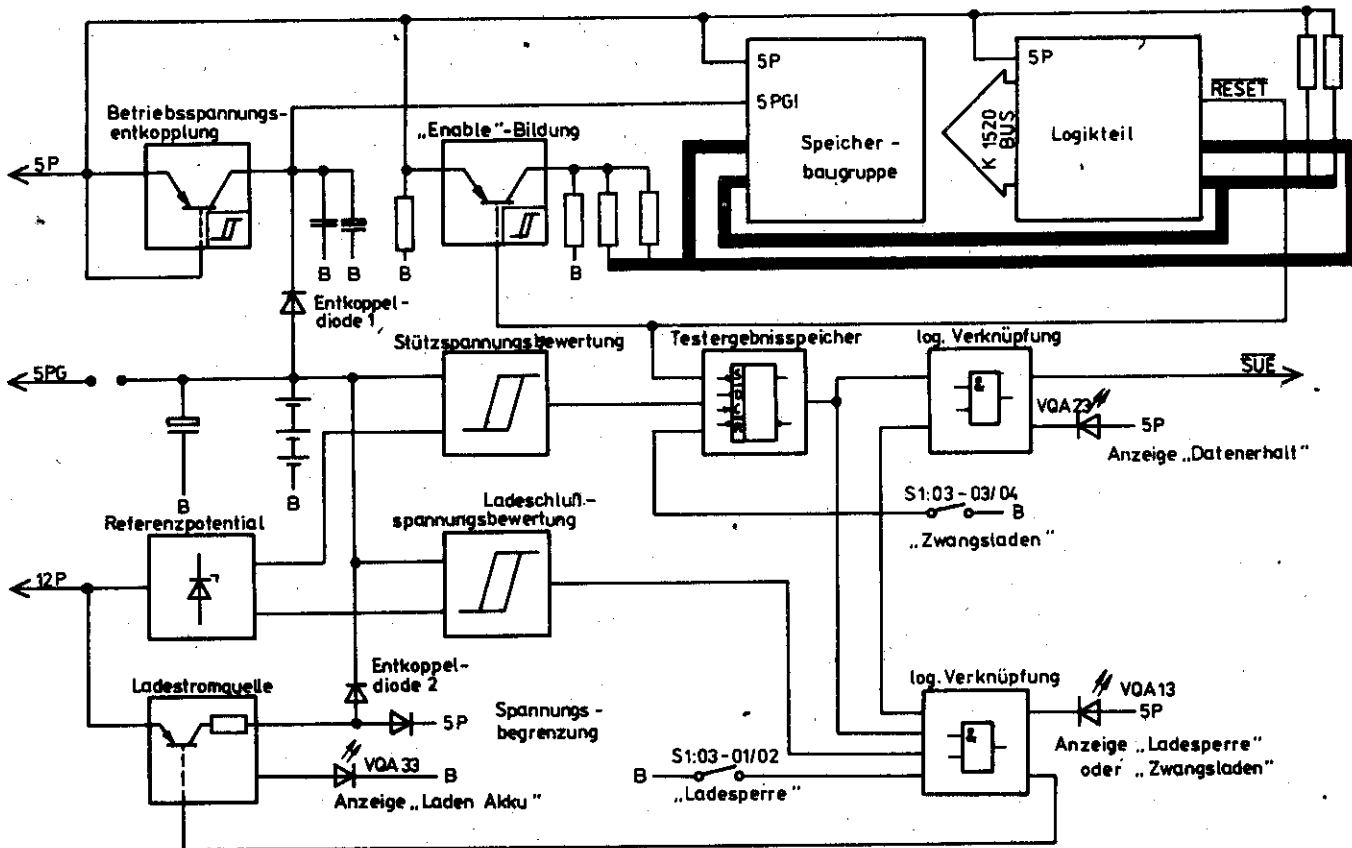


Abb. 2
Blockschaltbild K 3521.30/Sonderbaustufen

15. Speichererweiterung OSS Typ 062-8471

(1.62.518471.3 - 083-4-710-076)

15.1. Kurzcharakteristik

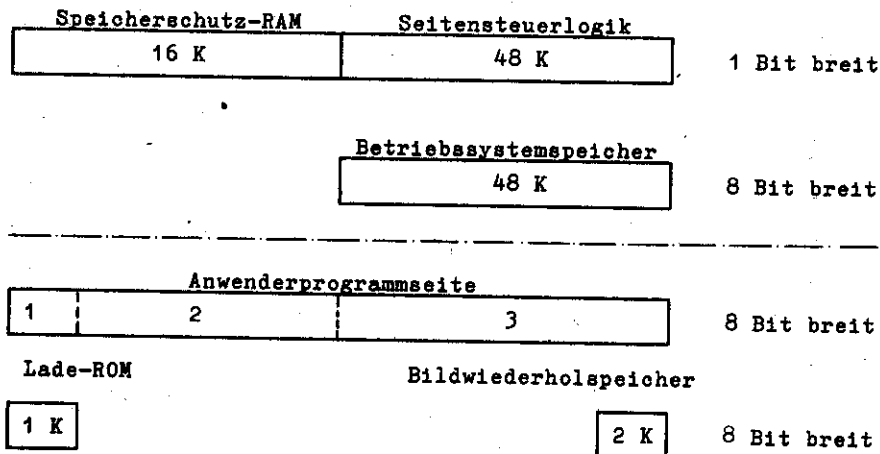
Die STE OSS Typ 062-8471 (Operativspeicher mit Seitensteuerung und Schreibschutz) stellt eine Speichererweiterung um 48 KByte dynamisch RAM dar. Die STE OSS arbeitet in Verbindung mit der ZRE K 2526 und der ihr zugeordneten Speichersteckeinheiten (maximal 64 KByte dyn. RAM) nach einem speziellen "Paging-Verfahren", d. h. es erfolgt eine Speicherseitenumschaltung zwischen der STE OSS (wird als Betriebssystemspeicher definiert) und den anderen Gerätespeichern (wird als Anwenderspeicher definiert).

Die maximale Speicherkapazität beträgt 112 KByte dynamisch RAM. Der Einsatz erfolgt derzeit im Schalterterminal K 8924. Die STE OSS beansprucht einen festen Steckplatz und ist nur mit dem Betriebssystem SIOS anwendbar.

Die STE beinhaltet folgende Funktionsgruppen:

- Speicher (48 KByte dyn. RAM)
- Seitensteuerspeicher (48 KBit dyn. RAM)
- Speicherschutzspeicher (16 KBit dyn. RAM)
- Seitensteuerlogik
- Speicher- und E/A-Schutz
- Zentrale Baugruppensteuerung

Abbildung 3 zeigt eine Übersicht des mit OSS ausgerüsteten Speichers.



- 1 = Verständigungsbereich ca. 4 KByte
- 1 + 2 = 16 KByte
- 2 + 3 = Anwenderbereich

Abb. 3
Speicherübersicht

Der Speicherschutz-RAM wird beim Laden des Betriebssystems entsprechend gefüllt. Der Seitensteuerspeicher mit der Seitensteuerlogik hat die Aufgabe, Datenzugriffe der Betriebssystemseite auf die Anwenderseite zu erlauben. Die Steuerung erfolgt durch das Seitensteuerbit bei den entsprechenden Adressen. Der Speicher- und E/A-Schutz entspricht in seiner Wirkungsweise dem der ZRE. Beim Einsatz der STE OSS ist der Speicher- und E/A-Schutz der ZRE unwirksam. Mit dem 16 KBit-Speicher-

schutz-RAM kann der untere 16 KByte-Bereich auf der Anwenderseite (Verständigungsbereich) byteweise geschützt werden.

Die zentrale Baugruppensteuerung der STE wird vom Betriebssystem gesteuert und kann nicht vom Anwender beeinflusst werden. Die Anwenderprogramme bedürfen keiner Änderung beim Einsatz der STE OSS.

Vom Anwender kann nicht auf die Speicher der STE OSS zugegriffen werden.

Zu beachten ist:

Die STE OSS ist eine gerätespezifische STE und kann aus folgenden Gründen nicht ins System K 1520 eingebracht werden:

- STE beansprucht einen festen Steckplatz
- STE ist nur mit dem Betriebssystem SIOS funktionstüchtig
- die Bildung des Signals WEMDI entspricht nicht der Busrichtlinie K 1520

15.2. Technische Daten

Steckeinheitenabmessung:	215 mm x 170 mm
Speicherkapazität:	48 KByte Betriebssystemspeicher 48 KBit Seitensteuerspeicher 16 KBit Speicherschutzspeicher
Speicherschaltkreistyp:	U 256 RU 3A 16 384 x 1 Bit
Zugriffszeit:	≤ 400 ns
Steckverbinder:	2 x 58polig, indirekt Bauform: 304-58, TGI 29331/03 für System- und Koppelbussteckverbinder
Stromversorgung:	5 P = + 5 V ± 5 %, I = 800 mA 12 P = + 12 V ± 5 %, I = 140 mA 5 N = - 5 V ± 5 %, I = 600 µA
Datenerhalt:	Beim Ausschalten der Betriebsspannung geht die Information verloren. Alle ≤ 2 ms müssen die Speicherzellen regeneriert werden.
Betriebsarten:	siehe zentrale Steuerung STE OSS

15.3. Einsatzbedingungen für die STE OSS

15.3.1. Einsatzvorbereitungen bzw. Nachrüstung mit STE OSS

1. Die STE OSS ist auf einen festen Steckplatz fixiert.

Steckplatz 4 ZRE	} K 7025
Steckplatz 5 BAB	
Steckplatz 6 BAB	
Steckplatz 7 OSS	
2. Es ist eine Wickelverbindung von der ZRE X1:A27 zur OSS X2:A15 herzustellen.
 - Beim BST ist diese Wickelverbindung schon vorhanden.
3. Die BAl-BA0-Kette muß bis zum Steckplatz 7 verlängert werden.
 - Beim BST nicht nötig (Kette bereits bis Steckplatz 9 geführt)
 - Es ist empfehlenswert, die IEI-IE0- und IEI1-IE01-Kette ebenfalls bis zum Steckplatz 7 zu verlängern. Dieser Steckplatz muß bei Nichtbestückung durch die OSS dann aber durch eine Speicher-STE oder einen BAB-Adapter belegt sein, da sonst die Kette offen ist.

4. Beim Einsatz von Speicher-STE K 3525 (16 KByte dynamisch RAM) dürfen nur Steckeinheiten ab Stand Index 3 verwendet werden.
5. Beim adressenmäßigen Parallelbetrieb von Betriebssystem (STE OSS) und BAB-Bildwiederholer Speicher treten Fehler im Ablauf auf, da Speicherplätze undefiniert beschrieben werden können.
Eine konstruktive Änderung der STE ABS ist vorgesehen. Bis zur Einführung der überarbeiteten STE ABS ist folgende Speicherkonfiguration bei Einsatz der STE OSS zu empfehlen:
- STE OSS 48 KByte dyn. RAM (BS-Speicher)
 - STE OPS K 3526.00 oder .10 (64 KByte dyn. RAM - Anwenderspeicher) *
- Das Betriebssystem soll maximal bis 46 K (bei 2 K BWS) bzw. 47 K (bei 1 K BWS) generiert werden. Damit wird ein adressenmäßiger Parallelbetrieb von Betriebssystem und Bildwiederholer Speicher (BWS) verhindert.
6. Wird bei einer OSS ausgerüsteten Anlage der Systemlader V.2.0...X verwendet, arbeitet die Anlage speichererweitert. Wird der Systemlader V.0.X (X = 1 ... 8) verwendet, bleibt die STE OSS inaktiv. Die Anlage arbeitet nicht speichererweitert. AAWA (Anfangsadresse Anwenderbereich) ist in diesem Falle 0800_H plus Länge des Betriebssystems.

15.4. Blockschaltbild (Abb. 4)

15.5. Funktionsbeschreibung

15.5.1. Zentrale Steuerung

Beim Einschalten der Anlage wird die Steuerung durch das Signal RESET in den Grundzustand gesetzt (OSS inaktiv). Mit Hilfe der zentralen Steuerung der STE OSS ist es möglich, alle Betriebsarten zu realisieren, die für die Arbeit mit der STE notwendig sind. Die zentrale Steuerung wird mit den Ausgabebefehlen EE_H und EF_H aktiviert (A23 durch A16).

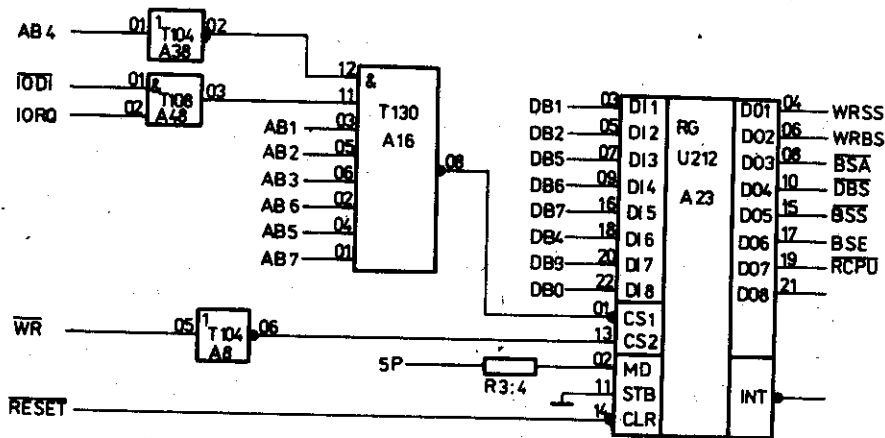


Abb. 5
Zentrale Steuerung

Die Steuersignale haben folgende Bedeutung:

WRSS (A23/04) - Schreiben auf Seitensteuer-
speicher und Speicherschutz-
RAM
WRBS (A23/06) - Schreiben auf BS-Seite
BSA (A23/08) - BS-Seite abgeschalten

DBS (A23/10) - Daten von BS-Seite
BBS (A23/15) - BS-Status
BSE (A23/17) - BS-Seite einschalten
RCPU (A23/19) - RESET Seitensteuerung
2. CPU

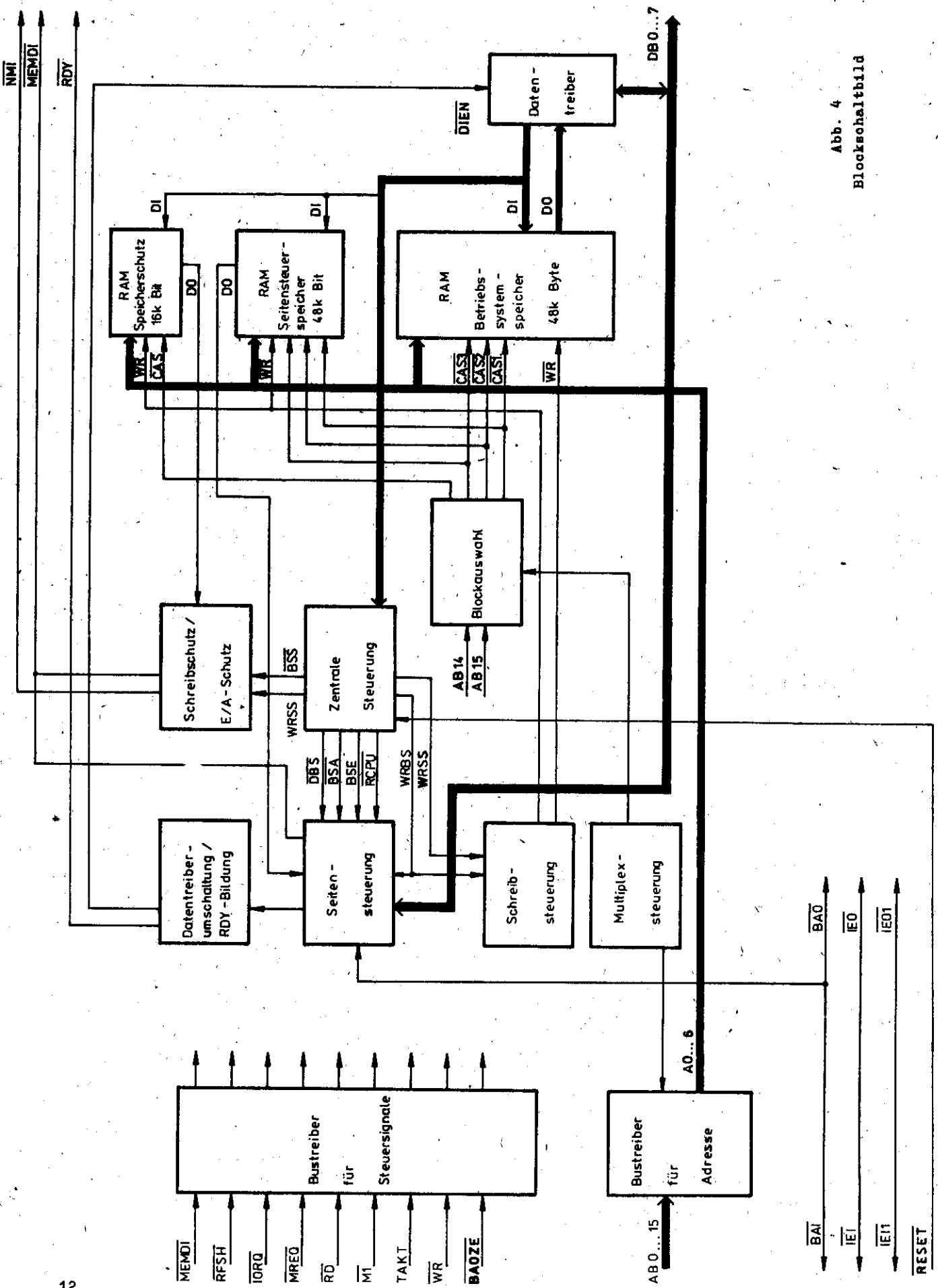


Abb. 4
Blockschaltbild

Durch entsprechende Programmierung können folgende Betriebsarten eingestellt werden:

- RESET der STE OSS

Steuerwort: 00_H

- Betriebssystemspeicher (48 KByte) laden

Steuerwort: 30_H

Über die zentrale Steuerung wird das Steuerwort 30_H decodiert, d. h.

$\overline{BSA} = 1$; $\overline{BSE} = 1$; $\overline{RCPU} = 1$; $\overline{WRBS} = 1$

Das Steuersignal "Schreiben BS-Speicher" (\overline{WRBS}) wird aktiv geschaltet und am Nand A18/03 mit dem Schreibsignal \overline{WR} verknüpft. Dieses Signal schaltet über den Eingang \overline{WE} den Betriebssystemspeicher frei. Gleichzeitig wird über A28/06-A28/08-A17/03 $\overline{MEMDI} = 0$ und der Arbeitsspeicher (max. 64 KByte) ist gesperrt. Durch das Signal $\overline{BSE} = 1$ (Betriebssystem einschalten) wird der Zähler A52 und A59 zurückgesetzt, d. h. alle Eingänge des Vielfachnands A60 sind low und der Ausgang ist high. Das bedeutet Freigabe des FF's A47/10.

A54/08 ist als Multiplexer geschaltet. Durch die Signale M1 und MREQ ist A54/08 = low, d. h. die BS-Seite ist zugeschaltet, das Signal $\overline{MEMDI} = \text{low}$ und der 64 KByte-Speicher ist gesperrt. Das Zeilenübernahmesignal \overline{RAS} für die Speicherchips wird direkt durch das Signal \overline{MREQ} gebildet (A57/07-A57/08).

A51 verzögert die Rückflanke des Zeilenübernahmesignals.

Das Spaltenübernahmesignal CAS liegt ebenfalls verzögert durch das Nor A39/12 am Speicherchip an. Die Bildung wird zu Beginn des Speicherzyklus freigegeben (A50/13). Das FF wird durch \overline{RFSH} auf den Eingang A50/12 gesteuert, d. h. bei \overline{RFSH} -Zyklen ist das Signal low und damit CAS inaktiv, da A50/08 high bleibt.

Das Schreibsignal für den Betriebssystemspeicher \overline{WRBS} wird durch \overline{WR} und \overline{MREQ} am Nand A18/03 gebildet.

15.5.2. Seitensteuerung

Die Seitensteuerlogik besteht aus den Baugruppen:

- Interruptzähler
- Seitensteuerspeicher
- Seitensteuerung für die 1. CPU
- Seitensteuerung für die 2. CPU

und ist nach dem "Paging-Verfahren" aufgebaut. Das Prinzip dieses Verfahrens ist, daß Befehle der BS-Seite Daten auf der AP-Seite lesen bzw. Daten auf die AP-Seite schreiben können. Das erfordert aber eine ständige Umschaltung der Speicherseiten (Betriebssystemspeicher/Anwenderspeicher) während der Befehlsabarbeitung. Realisiert wird diese Umschaltung mit dem Steuersignal \overline{MEMDI} .

Abb. 6 zeigt die Bildung des Signals. Gesteuert wird diese Logik mit dem aus dem Seitensteuerspeicher gelesenen Seitensteuerbit.

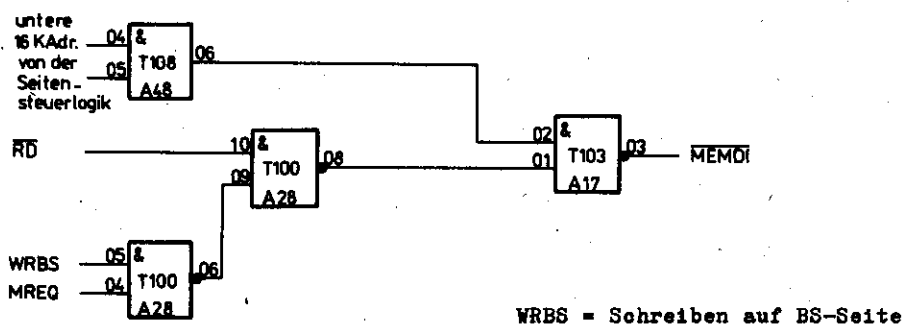


Abb. 6

15.5.2.1. Seitensteuerspeicher laden

Steuerwort: $3A_H$

Der Seitensteuerspeicher A44, A45, A46 hat eine Kapazität von 48 KBit. Er regelt den Datenzugriff, wenn ein Programm der BS-Seite arbeitet. Jedem Adreßbyte der BS-Seite wird ein Seitensteuerbit zugeordnet, das den Datenzugriff beim nächstfolgenden Maschinenzklus

- auf die BS-Seite: Seitensteuerbit = 0
- auf die AP-Seite: Seitensteuerbit = 1 veranlaßt.

Durch die zentrale Steuerung wird das Steuerwort $3A_H$ decodiert, d. h. WRSS = 1 (A23/04). Das NAND A18/06 verknüpft dieses Steuersignal mit WR und schaltet den WE-Eingang des Seitensteuerspeichers aktiv. Über die Dateneingangsleitung DI (\neq Datenleitung DO) der Speicherchips wird der Speicher beschrieben.

Für Lesezyklen des BS ist der Seitensteuerspeicher unwirksam. $\overline{DBS} = 0$ sperrt die Daten (DOST) aus dem Seitensteuerspeicher am UND A40/04.

Grundsätzlich wird im Startprogramm der Seitensteuerspeicher mit "0" gefüllt und danach entsprechend der in jedem Modul vorhandenen Seitensteuertabelle (SSST) mit "1" überschrieben.

15.5.2.2. Seitensteuerung für die 1. CPU

Die Seitenansteuerung für die 1. und 2. CPU ist getrennt ausgeführt, weil nach jedem Zyklus der 1. CPU die 2. übernehmen kann. Die Information der Seitensteuerung muß aber bis zur erneuten Übernahme der 1. CPU gespeichert werden.

Die Erkennung, welche CPU aktiv ist, erfolgt durch Decodierung der Signale \overline{BAI} , $\overline{BA0}$ und \overline{BAOZE} .

Abb. 7 zeigt die daisy-chain-Kette unter den Bedingungen OSS.

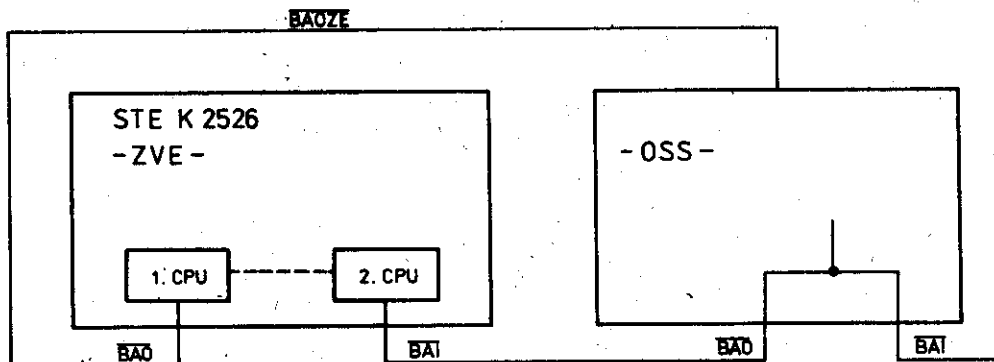


Abb. 7

Ist die 1. CPU aktiv, ist $\overline{BAOZE} = 1$ und als Kette ist \overline{BAI} der 2. CPU ebenfalls high. Ist die 2. CPU aktiv, ist $\overline{BAOZE} = 0$, $\overline{BAI} = 0$. Am Schaltkreis A54/06 werden die Signale \overline{BAOZE} und \overline{BAI} verglichen. Sind beide high, ist der Ausgang low und sperrt den Takt für das FF A47/05.

Ist $\overline{BAOZE} = 0$ (2. CPU arbeitet), wird der Takt für das FF A47/08 über das Mehrfachnand A37/08 gesperrt.

Es wird jeweils nur ein Teil der Seitensteuerung wirksam.

Mit Beginn jedes M1-Zyklus wird die BS-Seite über den Interruptzähler A52/A59 zugeschaltet. $A60/08 = 0$ und das FF A47/08 wird gesetzt. Die Eingänge 09 und 10 des Multiplexers A54/08

sind high, d. h. der Ausgang 08 ist low. Die BS-Seite wird oberhalb 16 K zugeschaltet, indem gleichzeitig das Signal \overline{MEMDI} aktiv wird und den Anwenderspeicher sperrt. Auf welche Seite des Speichers die folgenden Zyklen des Befehls gehen, ist vom Inhalt des Seitensteuerspeichers abhängig. Er wird mit der ansteigenden Flanke von \overline{MREQ} in das FF A47/08 eingeschrieben. Dieses FF wurde durch den INT-Zähler A60/08 freigegeben.

Die Information des Seitensteuerspeichers, die im Maschinenzklus n in das FF eingeschrieben wurde, gilt schon für den Maschinenzklus n + 1. Wird "1" eingeschrieben (AP-Seite), erfolgt ein Umschalten im nächsten Maschinenzklus auf die AP-Seite ($\overline{MEMDI} = 1$).

Bis zum nächsten \overline{MT} -Zyklus bleibt diese Speicherseite zugeschaltet, weil der Takt für das FF durch Rückführung A47/08 auf das Nand A37/09 gesperrt wird. Es können z. B. bei 16 Bit-Ladebefehlen so 2 Maschinenzyklen auf die AP-Seite gehen. Die Umschaltung auf die BS-Seite erfolgt erst mit Beginn eines neuen \overline{MT} -Zyklus.

15.5.2.3. Seitensteuerung für die 2. CPU

Da das Signal \overline{MT} bei der 2. CPU nicht auf den Bus geschaltet ist, ergibt sich bei der Seitensteuerung für die 2. CPU eine Besonderheit. Die Rückschaltung auf die BS-Seite erfolgt nach jedem Maschinenzklus, der auf die AP-Seite geht.

Vom FF A47/05 gibt es eine Rückführung auf das Nand A37/13. 16 Bit-Ladebefehle können somit nicht abgearbeitet werden; bis auf Befehle, die im unteren 16 K-Bereich auf der AP-Seite stehen (A48/04 = 0 \rightarrow $\overline{MEMDI} = 1$).

Mit dem Steuersignal \overline{RCPU} am Rücksetzeingang des FF A47/01 kann fest auf die AP-Seite geschaltet werden.

15.5.2.4. Interruptzähler

Der Interruptzähler besteht aus den Schaltkreisen A32, A58, A52, A59 und A60.

Der Zähler wird durch die Steuersignale \overline{BSA} und BSE (Betriebssystemseite zu- und abschalten) auf einen bestimmten Zählerstand gesetzt. Die Vorwärtszählimpulse für diesen Zähler sind vom Interruptquittungszyklus abgeleitet (A55/08) durch M1 und IORQ, also pro gestartetem Interrupt ein Zählimpuls. Beim Beenden der Interruptroutine durch die Befehle RETI und RETN erfolgt das Rückwärtszählen des INT-Zählers. Jeder Befehl RETI oder RETN erzeugt einen Rückwärtszählimpuls auf den Eingang A52/04.

Diese beiden Befehle werden vom 1 aus 8-Decoder A32 decodiert. Die Codierung ED_H (1. Byte des RETI- und RETN-Befehls) setzt den Ausgang 11 auf low. Die nächste Schaltflanke \overline{MREQ} über das Nand A19/13 schaltet dieses Potential auf den Ausgang. Mit Decodierung des zweiten Bytes $4D_H$ (RETI) oder 45_H (RETN), das entspricht A32/13 = 0, entsteht eine Schaltflanke für den Zähler A52/04. Der Zähler zählt bei Erkennung der beiden Mikrobefehle RETI und RETN um 1 zurück. Sind also alle gestarteten INT-Routinen abgearbeitet, befindet er sich in der Ausgangsstellung.

Beim Erreichen des Zählerstandes FF_H (AP-Seite zugeschaltet) wird ein weiteres Rückwärtszählen durch Sperren des Taktes von A58/06 verhindert. A60/08 = 0 \rightarrow A19/02 = 0, wobei auch die Seitensteuerung inaktiv wird.

Durch das Steuerwort 00_H ($\hat{=}$ RESET) wird über die zentrale Baugruppensteuerung das Signal $\overline{BSA} = 0$ den Zähler auf "-1" bzw. FF_H stellen (AP-Seite zugeschaltet); durch die Rückführung auf die Löscheingänge A52/11 und A59/11.

Durch das Steuersignal BSE = 1 auf die Rücksetzeingänge der Zählerschaltkreise wird der Zählerstand "0" ($\hat{=}$ 00_H) eingestellt. Das entspricht der Einschaltung der BS-Seite.

Alle anderen Zählerstellungen $\neq -1$ bzw. 0 werden erreicht durch Vorwärtszählen des Zählers durch jede gestartete INT-Routine und anschließendem Rückwärtszählen durch die Decodierung der Befehle RETI und RETN.

15.5.3. Speicherschutz - E/A-Schutz

15.5.3.1. Allgemeines

Die Schutzschaltung hat die Aufgaben:

- Schützen des unteren 16 KByte Speicherbereiches vor unerlaubten Schreibzyklen (Speicherbereich 0000_H bis $3FFF_H$)
- Abbruch unerlaubter E/A-Operationen durch Auslösen eines nicht maskierten Interrupts.

Um die Befehle auf ihren Ursprung (Anwender- oder Betriebssystemseite) testen zu können, werden sie in 2 Bereiche geteilt.

- Bereich 1 $\hat{=}$ BS-Bereich (geschützt)
- Bereich 2 $\hat{=}$ AP-Bereich (ungeschützt)

Diese Bereiche werden durch den Inhalt eines 16 KBit-Speicherschutz-RAM A53 definiert, d.h. $\langle 0 \rangle$ = geschützter Bereich (BS) und $\langle 1 \rangle$ = ungeschützter Bereich (Anwender).

Bei einem Schreibzyklus, der vom Anwenderprogramm ausgelöst wird und einen geschützten Bereich adressiert, wird der Speicher durch das Signal $\overline{MEMDI} = 0$ abgeschaltet.

15.5.3.2. Beschreiben des Speicherschutz-RAM

Steuerwort: $3A_H$

Durch das Steuerwort $3A_H$ wird über die zentrale Steuerung das Signal $WRSS = 1$ gebildet. Dieses Signal wird über A18/06 mit dem Signal WR verknüpft und schaltet den \overline{WE} -Eingang des Speicherschutz RAM aktiv (low).

Über die Datenleitung D0 wird der RAM bei anliegender Adresse programmiert (A53/02). Das Zeilensteuersignal \overline{CAS} ist nur bei Speicheradressen $\langle 16 \text{ K} \rangle$ aktiv. Bei den Speicherbereichen $\langle 16 \text{ K} \rangle$ liegt der Ausgang D0 dieses Chips durch einen Zieh Widerstand fest auf high.

15.5.3.3. Speicherschutz

Die Freigabe des Speicherschutzes erfolgt durch $WRSS = 0$ und $\overline{BSS} = 1$ durch das Steuerwort (FF A50/01, A56/13 und Nand A37/03).

Bei jedem M1-Zyklus wird die Zugehörigkeit des Befehls zu Bereich 1 oder 2 geprüft, d. h. das Signal $M1 = 1$ gibt über das Nand A49/12 den Takt für das FF A50 frei. Am D-Eingang dieses FF's liegt die Aussage:

AP- oder BS-Seite über A38/06

$\overline{BSS} = 1$ und

D_{out} -Speicherschutz RAM "0" oder "1".

Kommt der Befehl aus dem AP-Bereich, ist

$D_{out} = 1$
 $A38/06 = 1$ } $A37/06 \rightarrow \text{low, d. h.}$
 $\overline{BSS} = 1$

$A50/06 = 1 \rightarrow A49/06 = 0 \rightarrow A48/13 = 1$
bei Schreibzyklen $A48/12 = 1$ } $A48/11 = 1$

Beim nachfolgenden Schreibzyklus auf einen geschützten Bereich des Speicherbereiches $\langle 16 \text{ K} \rangle$ ist die Datenausgangsleitung des Speicherschutz RAM low und damit wird über A17/11 das Signal $\overline{MEMDI} = 0$ und dieser Speicherbereich ist gesperrt.

Über das Und A40/03 wird die Information mit der Rückflanke von \overline{MREQ} in das FF A56 eingeschrieben. Das nachfolgende FF A56 wird über den Setzeingang gesetzt und \overline{NMI} wird aktiv.

In der sich anschließenden $\overline{\text{NMI}}$ -Routine erfolgt die Auswertung.

Durch das Steuerwort 78_{H} , d. h. $\overline{\text{BSS}} = 0$ wird versucht, den $\overline{\text{NMI}}$ zurückzusetzen. Ist dieses Rücksetzen durch das FF A56 möglich, handelt es sich um einen Speicherschutzfehler.

Die elektronische Baugruppe Speicherschutz ist unwirksam bei:

$\overline{\text{RFSH}}$ -Zyklen, d. h. $\overline{\text{RFSH}} = 0$ (A49/06 - A39/08 - A48/13 = 0
- A17/13 entspricht $\overline{\text{MEMDI}}$ inaktiv

$\overline{\text{DMA}}$ -Betrieb, d. h. $\overline{\text{BAOZE}} = 0$ (s. o.)

$\overline{\text{M1}}$ -Zyklen, in diesem Falle wird durch $\overline{\text{M1}} = 0$ der Takt für das FF A50/06 gesperrt
(A49/12)

Bei Lesezyklen ist durch das Signal $\overline{\text{RD}} = 0$ über A48/08 - A48/11 und A17/11 $\overline{\text{MEMDI}}$ immer inaktiv.

15.5.3.4. E/A-Schutz

Ein $\overline{\text{M1}}$ -Zyklus auf der AP-Seite initialisiert den E/A-Schutz (analog dem Schreibschutz).

Durch die Rückflanke von $\overline{\text{TORQ}}$ eines folgenden unerlaubten E/A-Zyklus aus der Anwenderebene wird $\overline{\text{NMI}}$ aktiv. Der Sprung in die $\overline{\text{NMI}}$ -Routine erfolgt erst nach dem nächsten $\overline{\text{M1}}$ -Zyklus, weil $\overline{\text{NMI}}$ erst nach Abfrage $\overline{\text{NMI}}$ im E/A-Zyklus aktiv wird. In der $\overline{\text{NMI}}$ -Routine erfolgt die Auswertung. Ein folgender E/A-Befehl setzt $\overline{\text{NMI}}$ zurück.

15.5.4. Speicheransteuerung und RFSH-Ansteuerung

Der Adreßbus der dynamischen RAM-Speicher K 565 RU 3A arbeitet im Multiplexerbetrieb. Mit dem Übernahmetakt für die Zeilenadresse $\overline{\text{RAS}}$ (row address strobe) wird die Zeilenadresse übernommen und gespeichert. Mit dem folgenden Signal $\overline{\text{CAS}}$ (column address strobe) wird die Speicheradresse übernommen

AB0 ... AB6 = Zeilenadresse

AB7 ... AB13 = Spaltenadresse.

Mit den jeweils 7 Adreßbits können 128 Zeilen und 128 Spalten adressiert werden. Die Ansteuerbedingungen sind:

- Schreib-/Leseaufruf: $\overline{\text{MREQ}}$. $\overline{\text{MEMDI}}$. $\overline{\text{RFSH}} < \frac{\overline{\text{RD}}}{\overline{\text{WR}}}$

- Auffrischaufruf: $\overline{\text{RFSH}}$. $\overline{\text{MREQ}}$

Zu Beginn des Speicherzyklus wird das FF A50/08 durch $\overline{\text{MREQ}} = 0$ (inaktiv) gesetzt. Dadurch wird der Adreßbustreiber A2 für die Adressen AB0 ... AB6 aktiv geschaltet und sie liegen an den Speichereingängen an.

$\overline{\text{MREQ}}$ aktiv bildet direkt das Zeilenübernahmesignal $\overline{\text{RAS}}$.

Gleichzeitig wird der Ausgang A50/08 = 0 durch $\overline{\text{RFSH}}$ inaktiv auf den Eingang A50/12. Diese Information wird mit der nächstfolgenden Schaltflanke des Taktes eingeschrieben (siehe Takt-diagramm CPU - Bausteinübersicht).

Das Spaltenübernahmesignal $\overline{\text{CAS}}$ wird durch C3:2 über die Schaltkreise A39/12, A57/11 und A57/06 verzögert gebildet. Der Treiber A2 der Adreßbits AB0 ... AB6 wird gesperrt (hochohmig), der Treiber A1 für die Spaltenadreßbits AB7 ... AB13 aktiv geschaltet.

Mit der Rückflanke von $\overline{\text{MREQ}}$ wird $\overline{\text{CAS}}$ sofort inaktiv (Verzögerung durch C3:2 nicht wirksam) und das UV A51 gekippt. Es sperrt die Bildung von $\overline{\text{RAS}}$ für den $\overline{\text{RFSH}}$ -Zyklus für 220 ns (Erholzeit des RAM-Speichers) (A57/09). $\overline{\text{MREQ}} = 0$ setzt erneut das FF A50/08, die Zeilenadreßbits AB0 ... AB6 werden am Treiber A2 freigegeben.

Zum Zeitpunkt $\overline{\text{MREQ}} = 0$, $\overline{\text{RFSH}} = 0$ wird die $\overline{\text{RFSH}}$ -Adresse am Speicherchip sicher übernommen, durch $\overline{\text{RAS}} = 0$ (Taktzeit T3/T4).

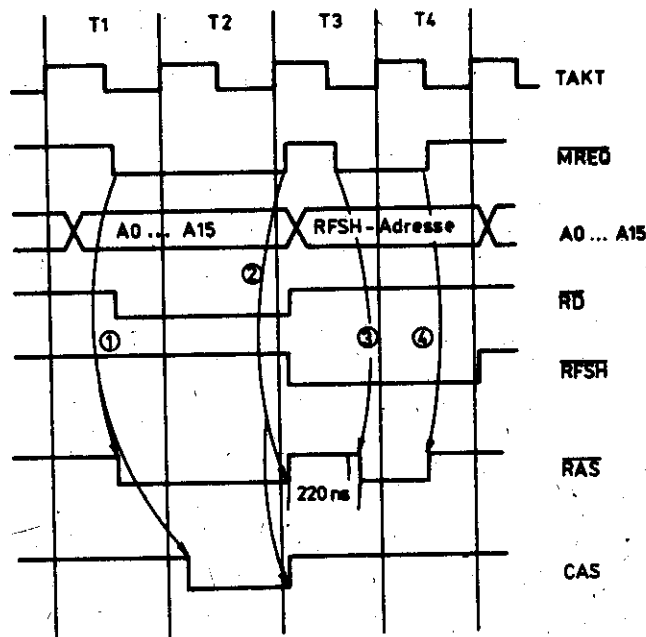


Abb. 8

Die Blockauswahl CAS0 für den Speicherschutz RAM A53 (0. K ... 15. K), CAS1 ... CAS3 für den Bereich 16. K ... 63. K bewirken die Adreßbits AB14 und AB15 über die Nors A12.

Die Prioritätsketten $\overline{BA1}$, $\overline{BA0}$
 $\overline{YB1}$, $\overline{YB0}$

$\overline{YB1}$, $\overline{YB0}$ sind, wie auf allen Speichersteckeinheiten, gebrückt.

15.5.5. RDY-Bildung und Datentreiberumschaltung

Die Schaltung steuert die Datentreiber A24 und A33 und meldet durch Bildung des Signals \overline{RDY} = low die Bereitschaft der STE für 3 Anwendungsfälle:

1. Schreiben auf BS-Speicher $\overline{DIEN} = 1$ $\overline{RDY} = 0$
2. Laden der zentralen Steuerung $\overline{DIEN} = 1$ $\overline{RDY} = 0$
3. Lesen vom BS-Speicher $\overline{DIEN} = 0$ $\overline{RDY} = 0$

Abb. 9 zeigt die Schaltung. Das Signal \overline{MEMDI} auf dem Eingang A4/02 ist durch das FF mit \overline{MREQ} und \overline{RFSH} getriggert. Dadurch kann der BS-Speicher durch das Speichersperrsignal \overline{MEMDY} von der ZRE oder vom BUSSI abgeschaltet werden.

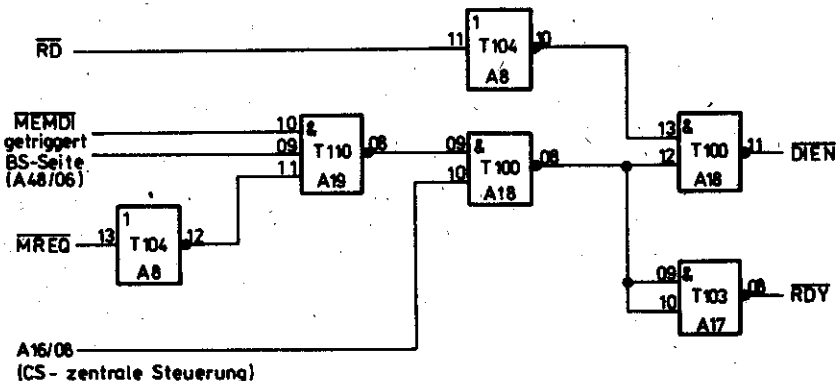


Abb. 9

robotron

VEB Robotron
Buchungsmaschinenwerk
Karl-Marx-Stadt

Annaberger Straße 93
PSF 129
Karl-Marx-Stadt
DDR-9010

Expporteur:
Robotron – Export/Import

Volkseigener
Außenhandelsbetrieb
der Deutschen
Demokratischen Republik
Allee der Kosmonauten 24
PSF 11
Berlin
DDR-1140

Kv 199/88 III-8-9 1869

831.53.01.004